

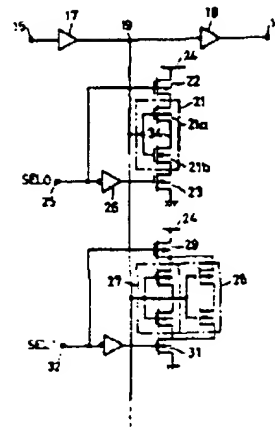
JP 40517902 A  
MAY 1993

## (54) VARIABLE DELAY CIRCUIT WITH VERY SMALL DELAY

(11) 5-129908 (A) (43) 25.5.1993 (19) JP  
(21) Appl. No. 3-293230 (22) 8.11.1991  
(71) ADVANTEST CORP (72) HIROSHI TSUKAHARA  
(51) Int. Cl. H03K5/13

**PURPOSE:** To provide a variable delay quantity with high resolution.

**CONSTITUTION:** A buffer 17 having an output impedance of a proper quantity and outputting a logic level is connected to a delay input terminal 15, a Schmitt trigger buffer 18 is connected to an output of the buffer 17 and an output of the buffer 18 is connected to a delay output terminal 16. An input of a CMOS 21 is connected to a connecting point 19 of the buffers 17, 18, a drain and a source of the CMOS 21 are connected respectively to a power supply terminal 24 and ground through MOSFETs 22, 23 respectively. A selection signal input terminal 25 is connected directly to a gate of a FET 22 and to a gate of a FET 23 via an inverter 26. When the FETs 22, 23 are both turned off, an input signal at the input terminal 15 is outputted to the output terminal 16 with a very small delay, and when the FETs 22, 23 are both turned on, the CMOS 21 acts like an inverter, and a signal at the output terminal 16 is delayed due to a delay of the mirror effect by the switching capacitance and an output impedance at the switching of the buffer 17. A delay proportional to number of CMOS in the inverter operation connecting to the connecting point 19 is obtained.



22: 1st switching element, 23: 2nd switching element

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-129908

(43) 公開日 平成5年(1993)5月25日

(51) Int.Cl.<sup>5</sup>

識別記号

片内整理番号

F I

技術表示箇所

H 0 3 K 5/13

4239 5 J

審査請求 未請求 請求項の数 1 (全 4 頁)

(21) 出願番号 特願平3-293230

(22) 出願日 平成3年(1991)11月8日

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 塚原 寛

東京都練馬区旭町1丁目32番1号 株式会  
社アドバンテスト内

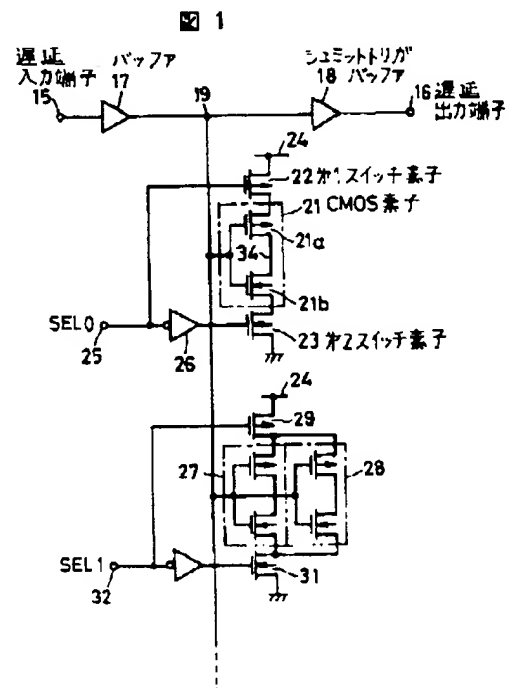
(74) 代理人 弁理士 草野 卓 (外1名)

(54) 【発明の名称】 微小可変遅延回路

(57) 【要約】

【目的】 高分解能の可変遅延量を与える。

【構成】 遅延入力端子15に、適当な大きさの出力インピーダンスを有し、論理レベルを出力するバッファ17が接続され、バッファ17の出力側にシュミットトリガバッファ18が接続され、バッファ18の出力側は遅延出力端子16に接続される。バッファ17、18の接続点19にCMOS 21の入力側が接続され、CMOS 21の両端はMOSFET 22、23を通じて電源端子24、接地にそれぞれ接続される。選択信号入力端子25はFET 22のゲートに直接、またインバータ26を介してFET 23のゲートに接続される。FET 22、23が共にオフで入力端子15の入力信号はごくわずかの遅延で出力端子16へ出力され、FET 22、23が共にオンでCMOS 21がインバータ動作状態となり、そのスイッチングの容量とバッファ17のスイッチングの出力インピーダンスとのミラー効果による遅れにより、出力端子16の信号が遅れる。接続点19に接続されたCMOS中のインバータ動作状態とする数と比例した遅延を得る。



(2)

特開平5 129908

## 【特許請求の範囲】

【請求項1】 入力信号が供給され、論理レベルを出力し、出力インピーダンスをもつバッファと、

そのバッファの出力側に接続されたシュミットトリガバッファと、

これら両バッファの接続点に入力側が接続されたCMOS素子と、

そのCMOS素子の両端と電源及び接地との各間にそれぞれ挿入され、選択信号により同時に制御される第1、第2スイッチ素子と、

を具備する微小可変遅延回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は遅延分解能が例えば10pSオーダーの微小遅延を可能とする微小可変遅延回路に関する。

## 【0002】

【従来の技術】 図3に従来の微小可変遅延回路を示す。遅延段11<sub>1</sub>、11<sub>2</sub>、11<sub>3</sub>が縦続接続され、遅延段11<sub>1</sub>は遅延量がAのバッファ12の通路と、遅延量がB(B=2A)のバッファ13の通路との何れかがマルチプレクサ14で選択され、その選択された通路を信号が通過するようにされ、遅延段11<sub>2</sub>は遅延量なしの通路と遅延量Bのバッファ13の通路との何れかがマルチプレクサ14で選択され、遅延段11<sub>3</sub>は遅延量なしの通路と遅延量Bのバッファ13が二つ直列接続された通路との何れかがマルチプレクサ14で選択される。各マルチプレクサ14の選択入力側Sに与える選択信号を制御することにより、遅延入力端子15と遅延出力端子16との間の信号が通る経路が切替えられ、その経路に応じた遅延量の遅延が遅延出力端子16の出力信号に生じる。経路の選択により遅延量の差が(B-A)、2(B-A)、3(B-A)、4(B-A)…の各種の値とすることができる。つまり分解能が(B-A)の可変遅延回路が得られる。

## 【0003】

【発明が解決しようとする課題】 遅延量A、Bはそれぞれバッファ12、13における伝搬遅延量T<sub>pd</sub>により得ている。このバッファ12、13をゲートアレイなどで実現しようとする、ゲートの配置を自由に選択できないため配線による遅延量も考慮する必要があり、2A=Bの関係を満たすように設計することが困難となり、微小分解能が悪い。つまり(B-A)を小さくすることが困難であり、かつ隣接遅延量の差(B-A)のばらつきが大きい。

## 【0004】

【課題を解決するための手段】 この発明によれば入力信号がバッファへ供給され、このバッファは出力インピーダンスをもち、かつ論理レベルを出力し、この出力はシュミットトリガバッファへ供給される。これら両バッ

2

ファの接続点にCMOS素子の入力側が接続され、そのCMOS素子の両端はそれぞれ第1、第2スイッチ素子を通じて電源及び接地に接続され、これら第1、第2スイッチ素子は選択信号により同時に制御される。

## 【0005】

【実施例】 図1にこの発明の実施例を示す。遅延入力端子15にバッファ17の入力側が接続される。バッファ17は適当な大きさの出力インピーダンスをもち、論理レベルを出力するものであり、バッファ17の出力側はシュミットトリガバッファ18の入力側に接続され、シュミットトリガバッファ18の出力は遅延出力端子16に接続される。両バッファ17、18の接続点19にCMOS素子21の入力側が接続され、CMOS素子19の両端はそれぞれ第1、第2スイッチ素子22、23を通じて電源端子24、接地に接続される。つまりCMOS素子21はP形とN形のMOSFET 21a、21bが直列に接続され、その両ゲートが互いに接続されて入力側として接続点19に接続される。FET 21aの他端は第1スイッチ素子22としてのP形のMOSFETを通じて電源端子24に接続され、FET 21bの他端は第2スイッチ素子23としてのN形のMOSFETを通じて接地される。

【0006】 選択信号入力端子25の選択信号により第1、第2スイッチ素子22、23が同時に同一方向に制御される。このためこの例では選択信号入力端子25は第1スイッチ素子22としてのFETのゲートに直接接続されると共にインバータ26を通じて第2スイッチ素子23としてのFETのゲートに接続される。この実施例では可変遅延量の種類を多くするため、並列に接続された二つのCMOS素子27、28の入力側が接続点19に接続され、その並列接続の両端がそれぞれ第1、第2スイッチ素子29、31を通じて電源端子24及び接地に接続され、第1、第2スイッチ素子29、31は選択信号入力端子32の選択信号により同時に同一方向に制御される。

【0007】 CMOS素子27、28はCMOS素子21と同一特性のものとする。この構成において、選択信号入力端子25、32の各選択信号SEL0、SEL1が共に高レベルHである場合は、スイッチ素子22、23、29、31はすべてオフであって、接続点19からCMOS素子21側を見ると単なる浮遊容量としか見えない。同様にCMOS素子27、28側も単なる浮遊容量としか見えない。接続点19のこれらの浮遊容量とバッファ18の入力容量と、バッファ17のスイッチング時の出力インピーダンスとのミラー効果により、接続点19における信号波形の立上りに図2Aに示すように小さい段33が生じる。この波形はバッファ18で波形整形され、遅延出力端子16の出力波形は図2Aに示すようになる。

【0008】 選択信号SEL0が低レベルL、SEL1

3

が高レベルHの場合はスイッチ素子22、23は共にオン、スイッチ素子29、31は共にオフとなる。このためCMOS素子21はそのゲートを入力側、FET21a、21bの接続点34を出力側とするインバータとして動作する。このインバータが動作している時は、そのしきい値付近でミラー効果により負荷容量が増加する。このためこの負荷容量とバッファ17のスイッチング時の出力インピーダンスとのミラー効果により、接続点19の波形の立上りに段33より大きい段35が図2Bに示すように生じる。このため出力端子16に得られるその波形整形出力は図2Bに示すように図2Aの対応するものよりも時間 $\Delta T$ だけ遅れる。

【0009】選択信号SEL0が高レベルH、SEL1が低レベルLの場合はスイッチ素子22、23はオフ、スイッチ素子29、31はオンとなる。従って並列接続されたCMOS27、28が共にインバータとして動作するため、そのミラー効果により負荷容量は、CMOS素子21がインバータとして動作する時の2倍となり、図2Cに示すように接続点19の波形の立上りに段35よりも大きな段36が生じ、出力端子16の出力波形は、図2Aの対応するものに対し、 $2\Delta T$ 遅れたものとなる。

【0010】選択信号SEL0、SEL1を共に低レベルLにすると、スイッチ素子22、23、29、31はすべてオンとなる。従ってCMOS素子21、27、28はすべてインバータとして動作する。このため、図2Dに示すように接続点19の波形の立上りに更に大きな段37が生じ、出力端子16の出力波形は図2Aの対応するものに対し、 $3\Delta T$ 遅延したものとなる。

【0011】このように選択信号SEL0、SEL1の

状態組合せを選定して、入力端子15に入力された信号に対し、4種類の何れかの遅延を与えて出力端子16に出力することができる。接続点19に、例えば4つが並列接続されたCMOS素子を接続して他の選択信号で制御するなど、接続点19に更に多くのCMOS素子を接続することにより、更に多くの種類の遅延量を得ることができる。上述では同一特性のCMOS素子を使用してインバータ動作状態にするCMOS素子の数に直線的に比例した差の遅延量をもつ遅延を得るようにしたが、CMOS素子のFETの大きさを例えば倍関係で異ならせ、例えばCMOS素子27、28の代りに、CMOS素子21のサイズの2倍のCMOS素子を1つ用いてもよい。

【0012】

【発明の効果】以上述べたようにこの発明によればバッファとシュミットトリガバッファとの接続点にCMOS素子を1乃至複数接続し、これを選択信号により選択的にインバータ動作状態にしたり、不動作状態にすることにより、インバータ動作時のしきい値付近でのミラー効果による負荷容量の増加を利用して、出力される信号の遅延量を制御しているため、遅延量の差 $\Delta T$ を小さな値、例えばpS～数10pSのオーダーとすることができ、かつ $\Delta T$ のばらつきを小さくすることができ、高分解能が得られる。

【図面の簡単な説明】

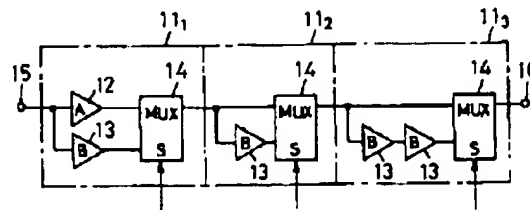
【図1】この発明の実施例を示す接続図。

【図2】選択信号の状態と、接続点19、出力端子16の各波形の関係例を示す図。

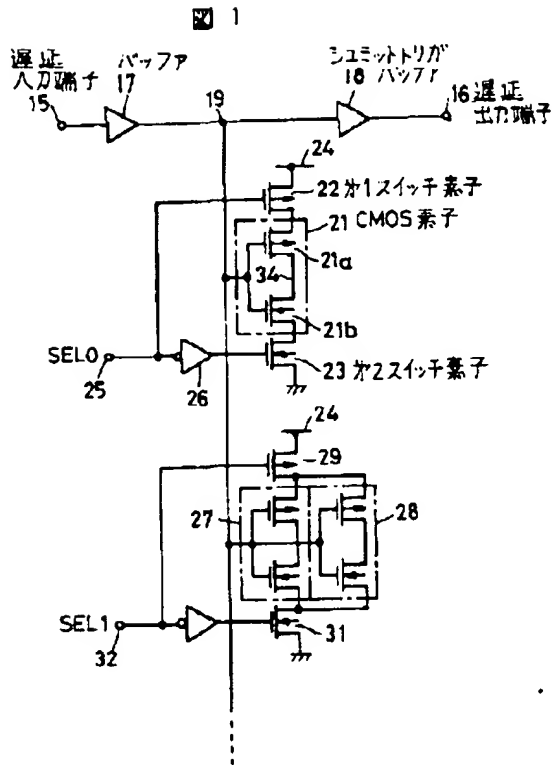
【図3】従来の微小可変遅延回路を示すブロック図。

【図3】

図3



【图 1】



【圖 2】

